

DISPLAY DEVICE

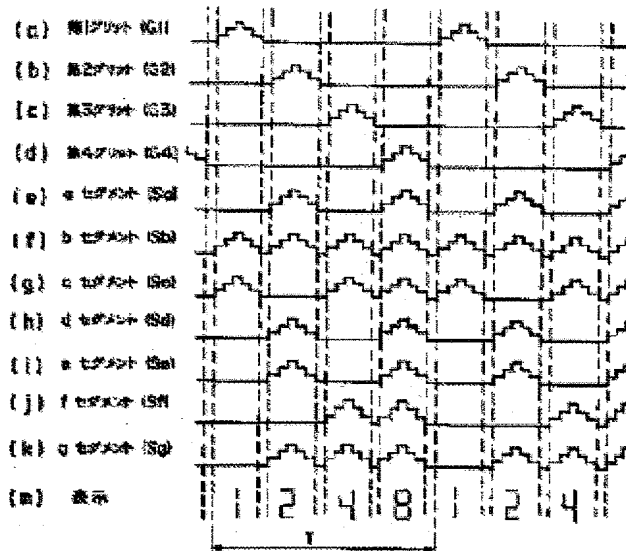
Publication number: JP6067617
Publication date: 1994-03-11
Inventor: SATO KAZUHIRO
Applicant: SONY CORP
Classification:
- international: G09G3/04; G09G3/04; (IPC1-7): G09G3/04
- European:
Application number: JP19920242528 19920820
Priority number(s): JP19920242528 19920820

Report a data error here

Abstract of JP6067617

PURPOSE:To suppress a higher harmonic noise due to a driving voltage applied to a display segment or display dot of the dynamic drive type display device.

CONSTITUTION:The driving voltage applied to each display minimum unit part which is a segment or dot is varied within its display period. The applied driving voltage is a continuous staircase wave composed of plural pulses. In another way, the waveform of the applied driving voltage is a voltage waveform obtained by supplying the continuous staircase rectangular wave composed of plural pulses to a smoothing filter means. In further another way, the applied driving voltage waveform is a voltage waveform whose voltage value continuously varies almost in a sine wave shape.



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

特開平6-67617

(43)公開日 平成6年(1994)3月11日

技術表示箇所

J 9378-5G

審査請求 未請求 請求項の数 7 (全 13 頁)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐藤 一博

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74)代理人 弁理士 脇 篤夫

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 ダイナミックドライブ方式の表示装置において表示セグメント又は表示ドットに対する駆動電圧からの高調波ノイズを抑える。

【構成】 セグメント又はドットである各表示最小単位部に印加される駆動電圧をその表示期間内で変化させる。例えば印加される駆動電圧を、複数のパルスを合成して得られた階段状の連続した矩形波とする。又は、印加される駆動電圧波形を複数のパルスを合成して得られた階段状の連続した矩形波を平滑化フィルタ手段に供給して得られる電圧波形とする。さらに又は、印加される駆動電圧波形を、電圧値が例えば略正弦波状に連続的に変化する電圧波形とする。

【ロ】 第1グリット (G1)

(b) 第2グリット (G2)

{ c } 第3グリット (G3)

(d) 池4グリット (G4)

(e) a セグメント (Sa)

(f) b セグメント (Sb)

(g) c セグメント (Sc)

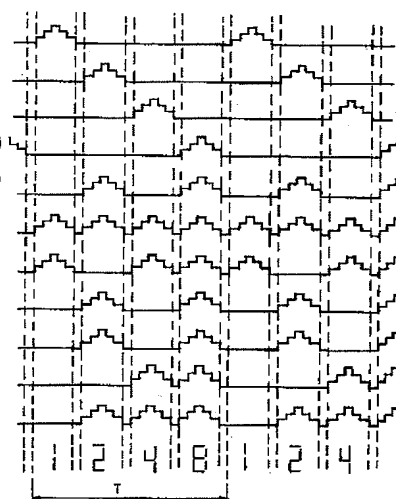
(h) d セグメント (Sd)

(i) ■ セグメント (S_田)

(j) f セグメント (Sf)

(k) q セグメント (Sq)

(四) 表示



1

【特許請求の範囲】

【請求項1】 ダイナミックドライブ方式で各表示最小単位部を駆動し表示動作をなす表示装置において、前記各表示最小単位部に印加される駆動電圧をその表示期間内で変化させるように構成したことを特徴とする表示装置。

【請求項2】 前記表示最小単位部は表示ドット画素であることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記表示最小単位部は表示セグメントであることを特徴とする請求項1に記載の表示装置。

【請求項4】 前記各表示最小単位部に印加される駆動電圧と、所定数の表示最小単位部によって形成される桁単位で共通印加される駆動電圧の両方を、表示最小単位部の表示期間内で変化させるように構成したことを特徴とする請求項1、請求項2、又は請求項3に記載の表示装置。

【請求項5】 印加される駆動電圧は、複数のパルスを合成して得られた階段状の連続した矩形波であることを特徴とする請求項1、請求項2、請求項3、又は請求項4に記載の表示装置。

【請求項6】 印加される駆動電圧波形は、複数のパルスを合成して得られた階段状の連続した矩形波を平滑化フィルタ手段に供給して得られる電圧波形であることを特徴とする請求項1、請求項2、請求項3、又は請求項4に記載の表示装置。

【請求項7】 印加される駆動電圧波形は、電圧値が連続的に変化する電圧波形であることを特徴とする請求項1、請求項2、請求項3、又は請求項4に記載の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は表示管やLED等を用いたダイナミックドライブ方式の表示装置に関するものである。

【0002】

【従来の技術】 表示管やLEDを用いた表示装置は広く普及され、例えばチューナー、CDプレーヤ等のAV機器にも採用されている。図16は表示管を用いた従来の表示装置の構成を示すものであり、4桁の数字が表示可能な表示部1においては、各桁 $K_1 \sim K_4$ について数字表示をなすために表示管による7つのセグメント（発光体） $a \sim g$ が設けられている。

【0003】 表示部1において S_a は各桁 $K_1 \sim K_4$ におけるセグメントaのアノードに駆動電圧を印加するaセグメント端子であり、また同様に $S_b \sim S_g$ は各桁 $K_1 \sim K_4$ におけるセグメントb～セグメントgの各アノードに駆動電圧を印加するbセグメント端子～gセグメント端子である。

【0004】 また、 G_1 は桁 K_1 の各セグメントに対応するグリッドに駆動電圧を印加する第1グリッド端子、

2

同様に $G_2 \sim G_4$ はそれぞれ桁 $K_2 \sim K_4$ の各セグメントに対応するグリッドに駆動電圧を印加する第2グリッド端子～第4グリッド端子を示す。

【0005】 2はCPU、ROM、RAMを有するマイクロコンピュータによってなる表示制御部を示す。出力ポート $P_a \sim P_g$ はそれぞれFET $Q_a \sim Q_g$ のゲートに接続され、その出力パルスによりFET $Q_a \sim Q_g$ のオン/オフを行なう。FET $Q_a \sim Q_g$ のオン/オフに伴って、表示駆動用の電圧 V_F がスイッチングされ、aセグメント端子 $S_a \sim g$ セグメント端子 S_g に対する電圧 V_F の供給の制御が行なわれる。つまり、出力ポート $P_a \sim P_g$ からはセグメント選択パルスが出力される。

【0006】 また、出力ポート $P_{c1} \sim P_{c4}$ はそれぞれFET $Q_{c1} \sim Q_{c4}$ のゲートに接続され、その出力パルスによりFET $Q_{c1} \sim Q_{c4}$ のオン/オフを行なう。FET $Q_{c1} \sim Q_{c4}$ のオン/オフに伴って、表示駆動用の電圧 V_F がスイッチングされ、第1グリッド端子 $G_1 \sim$ 第4グリッド端子 G_4 に対する電圧 V_F の供給の制御が行なわれる。つまり、出力ポート $P_{c1} \sim P_{c4}$ からはグリッドスキャンパルスが出力される。

【0007】 例えば表示部1に『1248』という数字を表示する場合は、表示制御部2から出力されるセグメント選択パルス及びグリッドスキャンパルスによりFET $Q_a \sim Q_g$ 及びFET $Q_{c1} \sim Q_{c4}$ がオン/オフ制御され、図17(a)～(d)のように第1グリッド～第4グリッドに順次駆動電圧 V_F が印加されるとともに、各桁において発光すべきセグメントが選択されるように、図17(e)～(k)のように、aセグメント端子 $S_a \sim g$ セグメント端子 S_g の内の所定のセグメント端子に電圧 V_F が印加される。なお、 T はスキャン周期、 t_F はパルス幅、 t_b はブランキング幅を示し、従ってデューティサイクル $D_F = t_F / T$ となる。

【0008】 グリッド及びアノードに同時に正電圧が印加されることにより、セグメントは発光動作をなすため、図17(a)～(k)の印加電圧状態により、図17(m)のように順次各桁で数字が表示されることになる。

【0009】

【発明が解決しようとする課題】 ところが、表示部1に対してこのように矩形波状のパルスとなる駆動電圧を印加することにより弊害が生じていた。

【0010】 例えば図18(a)のように周期 T の矩形波状の立ち上がり、立ち下りの早いパルスの場合、図18(b)に示すように $1/T$ (Hz)である元の周波数成分より $3/T$ 、 $5/T$ というように3次、5次、さらに高次にわたって奇数次の周波数成分を多く含んでいることが知られている。さらに、図17からも分かるように印加される駆動電圧のパルスは『H』区間と『L』区間の時間が一定ではなく、即ちデューティが異なるため上記以外の高調波成分も発生することになる。

【0011】特に、表示管やLEDによる表示の高輝度化等の要請から駆動電圧 V_F も高くなる傾向にあり(例えば上記のようなセグメント表示方式の場合で20~50V、ドット表示方式の場合で100Vなど)、これがスイッチングされるため、高調波ノイズによる影響は大きく、このような表示装置が装備されたチューナ或は表示装置の近傍に配置されたチューナの受信感度を悪化させたり、CDプレーヤやアンプ等の場合では電源ラインに高調波成分が乗ることにより音質が悪化してしまうという問題が発生していた。

【0012】

【課題を解決するための手段】本発明はこのような問題点に鑑みて表示部に対する印加電圧パルスにおける高調波成分によるノイズ発生を抑制することを目的とする。

【0013】このために、ダイナミックドライブ方式で各表示最小単位部、例えばセグメント又はドットを駆動し表示動作をなす表示装置において、各表示最小単位部に印加される駆動電圧をその表示期間内で変化させるように構成する。特に、各表示最小単位部に印加される駆動電圧(例えばアノードセグメント印加電圧)と、所定数の表示最小単位部によって形成される桁単位で共通印加される駆動電圧(例えばグリッド印加電圧)の両方を、表示最小単位部の表示期間内で変化させるようにする。

【0014】これらの場合において電圧の変化は、印加される駆動電圧を、複数のパルスを合成して得られた階段状の連続した矩形波とすることによって実現する。又は、印加される駆動電圧波形を、複数のパルスを合成し*

$$R_4 / (R_4 + R_1) \times 5 \times \{ (R_5 / R_5) + 1 \} [V]$$

となり、例えば図5に示すように駆動電圧 V_F としてV 30%のときは、オペアンプ3の出力電圧は、

1. レベルが得られる。また、スイッチ回路 SW_2 がオン※

$$R_4 / (R_4 + R_2) \times 5 \times \{ (R_5 / R_5) + 1 \} [V]$$

となり、例えば図5に示すように駆動電圧 V_F としてV

2. レベルが得られる。さらに、スイッチ回路 SW_3 がオ★

$$R_4 / (R_4 + R_3) \times 5 \times \{ (R_5 / R_5) + 1 \} [V]$$

となり、例えば図5に示すように駆動電圧 V_F としてV

3. レベルが得られる。

【0020】この駆動電圧 V_F は、抵抗 r を介して各FET $Q_a \sim Q_g$ 及び $Q_{e1} \sim Q_{e4}$ のドレインに印加され、各FET $Q_a \sim Q_g$ 及び $Q_{e1} \sim Q_{e4}$ のオン/オフに応じてセグメント端子 $S_a \sim S_g$ 及びグリッド端子 $G_1 \sim G_4$ に印加される。

【0021】このような構成の表示装置において、表示部1における表示動作を行なう際に、表示制御部2は図2の処理を行なうことになる。なお、表示数値を『1248』として図3に制御波形を示す。

【0022】表示実行の際にはまずグリッドスキンのための変数 $n=1$ とする(F101)。そして第 n グリッドに対して『H』出力を行なう(F102)。即ちこの場合、図3(a)のように出力ポート P_{e1} から第1グリッドのスキ

*で得られた階段状の連続した矩形波を平滑化フィルタ手段に供給して得られる電圧波形とすることによって実現する。さらに又は、印加される駆動電圧波形を、電圧値が例えば略正弦波状に連続的に変化する電圧波形とすることによって実現する。

【0015】

【作用】表示部に対する駆動電圧を矩形波状のパルスより正弦波状に近い信号とすることにより、含まれる高調波成分を減少させることができる。

10 【0016】

【実施例】図1~図6により本発明の第1の実施例について説明する。この実施例は表示管を用いた表示装置であり、前記図16と同一部分は同一符号を付し説明を省略する。

【0017】 $SW_1 \sim SW_3$ はスイッチ回路を示し、それぞれ例えば+5Vの電源電圧の供給を断接している。各スイッチ回路 $SW_1 \sim SW_3$ のオン/オフは表示制御部2の出力ポート $S_1 \sim S_3$ から出力される制御パルスによってコントロールされる。

20 【0018】スイッチ回路 $SW_1 \sim SW_3$ のオン/オフにより+5Vの電源電圧が抵抗 R_1, R_2, R_3 の全部又は一部と抵抗 R_4 によって分圧されてオペアンプ3に供給される。オペアンプ3の出力はコンプリメンタリなトランジスタ Q_1, Q_2 によるバッファ部に供給され、例えば20~50V程度の駆動電圧 V_F が取り出される。

【0019】つまり、スイッチ回路 SW_1 がオンのときは、オペアンプ3の出力電圧は、

★ンのときは、オペアンプ3の出力電圧は、

ヤンパルスを出力し、FET Q_{e1} をオフとして第1グリッドに電圧 V_F が印加されるようにする。同時に、第1桁目 K_1 の表示数値に応じたセグメント選択パルス出力ポート $P_a \sim P_g$ から出力する(F103)。例えば表示が『1』である場合、各出力ポート $P_a \sim P_g$ の出力は図3(k)~(r)に示すようになり、FET Q_b, Q_c がオフとされてbセグメント端子 S_b 及びcセグメント端子 S_c に電圧 V_F が印加されるようにする。この状態が第1グリッド(桁 K_1)のスキャン期間の間、維持されることにより、数字『1』が表示される(図3(s))。

【0023】ここで、まず出力ポート S_1 から図3(e)のように制御パルスとなる『H』出力を行ないスイッチ回路 SW_1 をオンとする(F104)。そしてタイマのカウントにより T_1 時間がカウントアップされるまで待

5

機する(F105)。T₁：時間が経過したら、S₁ 出力を『L』とし(F106)、図3(f)のようにS₂ 出力を『H』とする(F107)。そしてT₂：時間がカウントアップされるまで待機する(F108)。T₂：時間が経過したら、S₂ 出力を『L』とし(F109)、図3(g)のようにS₃ 出力を『H』とする(F110)。そしてT₃：時間がカウントアップされるまで待機する(F111)。

【0024】さらに、T₃：時間が経過したら、S₃ 出力を『L』とし、S₂ 出力を『H』としてT₄：時間がカウントアップされるまで待機する(F112, F113, F114)。さらにT₄：時間が経過したら、S₂ 出力を『L』とし、S₁ 出力を『H』としてT₅：時間がカウントアップされるまで待機する(F115, F116, F117)。

【0025】T₅：時間のカウントアップ時点で、桁K₁ のスキャン期間が終了するため、S₁ 出力を『L』とし(F118)、ブランキング期間であるt₁：期間のカウントアップがなされるまで待機する(F119)。なおブランキング期間t₁は、表示管の入力容量により、実際には駆動電圧印加が終了したにも関わらず電圧が残り隣の桁にゴーストが生じることを防止するために設けられている。

【0026】この桁K₁ のスキャン期間においてスイッチ回路SW₁ ~ SW₃ が出力ポートS₁ ~ S₃ による制御パルス(図3(e) ~ (g))により開閉制御されることにより、第1グリッド及び選択されているセグメントb, cに印加される電圧V_fは、図5のように階段状に電圧が変化することになる。

【0027】続いて次の桁のスキャンを行なうため、変数n=4であるかを判別し(F120)、n≠4であれば変数nをインクリメントする(F121)。なお、桁K₁ のスキャン終了時でn=4であれば、桁K₁ のスキャンに戻るため変数n=1とする(F122)。

【0028】以下、桁K₂ ~ 桁K₄ のスキャンについても同様にグリッドG₂ ~ G₄ を順次選択するとともに(図2:F102, 図3(a) ~ (d)参照)、表示数値に応じて発光すべきセグメントa~gを選択していく(図2:F103, 図3(k) ~ (r)参照)。そして、各スキャン期間内においてS₁ 出力、S₂ 出力、S₃ 出力は同様になされることによって(図2:F104~F118, 図3(e) ~ (f)参照)、スキャン対象のグリッド及び選択されたセグメントに印加される電圧V_fはいずれも図5のように階段状に電圧値が変化するものとされる。従って、『1248』という表示を行なう際に各グリッド及びセグメントに印加される駆動電圧V_fは図4(a) ~ (k)に示すとおりとなる。

【0029】ここで、このような階段状の、図6(a)のような周期Tの信号についての周波数スペクトラムを図6(b)に示す。図18において前述した矩形波パルスの周波数スペクトラムと比較して、3次、5次等の周波数成分は大幅に(40~50dB)低減されていることが分かる。つまり、矩形波パルスより正弦波に近い信

6

号で表示管を駆動することにより高調波ノイズを抑え、高調波ノイズによるチューナ受信感度の悪化や音響機器の音質劣化等の発生を防止することができる。

【0030】なお、この実施例においてS₁ 出力波形~ S₃ 出力波形の他の例として、図3(h) (i) (j)のようにすることも考えられる。つまり抵抗R₁, R₂, R₃の抵抗値の設定によれば、スイッチ回路SW₁のみオンの時、スイッチ回路SW₁, SW₂がオンのとき、スイッチ回路SW₁, SW₂, SW₃の全部がオンのときで、駆動電圧V_fのレベルを同様に3段階に制御するようにすることができる。このようにすると、場合によってはノイズ要因となるおそれのある出力ポートS₁ ~ S₃からの制御パルスの高周波成分も低減されるため好適である。

【0031】次に本発明の第2の実施例を図7、図8で説明する。この実施例は図7に示すように上記第1の実施例に加えて抵抗R₇及びコンデンサC₁による平滑化フィルタ4を設けたものである。平滑化フィルタ4により上記図5のような駆動電圧V_fは図8のよう積分され、より正弦波に近い波形となる。従って、高調波成分はより低減される。

【0032】なお、第1及び第2の実施例において、駆動電圧V_fが3段階の階段状に変化されるようにしたが、もちろん4段階以上に変化されるようにしてもよい。

【0033】第3の実施例を図9~図11で説明する。この実施例では駆動電圧V_fを略正弦波状、例えばsin²波形とする正弦波状パルス発生器5が設けられている。そして、正弦波状パルス発生器5に対して出力トリガとなる制御パルスが表示制御部2の出力ポートP_{sr}から供給される。出力ポートP_{sr}からの制御パルスは図10(d)のように、第1グリッドから第4グリッドに対応するグリッドスキャンパルス(図10(a) ~ (d))のオアをとったものとされており、この制御パルスの立ち上がりトリガとして、正弦波状の駆動電圧V_fを出力する。

【0034】従って、例えば『1248』という表示を行なう際に、表示制御部2がグリッドスキャンパルスとともに図10(f) ~ (m)のセグメント選択パルスを出力することで、表示部1における各グリッド及び各セグメントに印加される駆動電圧V_fは図11(a) ~ (k)に示すとおりとなる。この実施例により、より効果的に駆動電圧V_f内の高調波成分が取り除かれていることはいうまでもない。

【0035】図12は本発明の第4の実施例を示すものである。この実施例では、各出力ポートPa~Pgから出力されるセグメント選択パルスは正弦波状パルス発生器5a~5gに入力され、正弦波状パルス発生器5a~5gからは、それぞれセグメント選択パルスをトリガとして例えばsin²波形となる正弦波状パルスが出力さ

れて、FETQa~Qgのゲートに供給される。即ち、FETQa~Qgのドレインに印加されセグメント端子Sa~Sgに供給される駆動電圧V_fは、FETQa~Qgを制御する正弦波状パルス（FETゲート電圧）によってその電圧値がコントロールされることになる。

【0036】同様に、各出力ポートP_{e1}~P_{e4}から出力されるグリッドスキャンパルスは正弦波状パルス発生器5_{e1}~5_{e4}に入力され、正弦波状パルス発生器5_{e1}~5_{e4}からは、それぞれグリッドスキャンパルスをトリガとして例えばsin²波形となる正弦波状パルスが出力されて、FETQ_{e1}~Q_{e4}のゲートに供給される。即ち、FETQ_{e1}~Q_{e4}のドレインに印加されグリッド端子G₁~G₄に供給される駆動電圧V_fは、FETQ_{e1}~Q_{e4}を制御する正弦波状パルス（FETゲート電圧）によってその電圧値がコントロールされる。

【0037】従って、例えば『1248』という表示を行なう際に、表示制御部2が前記図10(a)~(d)のグリッドスキャンパルスとともに前記図10(f)~(m)のセグメント選択パルスを出力することで、表示部1における各グリッド及び各セグメントに印加される駆動電圧V_fは上記第3の実施例とほぼ同様に図11(a)~(k)に示すとおりとなる。

【0038】この実施例の場合、駆動電圧V_fだけでなく表示ドライバとなるFETへの制御電圧も正弦波に近いものとされるため、回路パターン上での矩形パルスの引き回しによるノイズ成分の増大も防止できる。なお、このように表示ドライバとなるFETへの制御パルスを、上記第1の実施例のように階段状パルスとしてもよい。

【0039】以上、1桁7セグメントで4桁表示の電子管による表示部を採用した表示装置について各種実施例を説明してきたが、もちろん表示部が図13のように1桁14セグメントでn桁表示の場合にも、上記各種実施例は同様に適用できる。さらに、セグメントをバー表示形態に配列したものであっても同様である。

【0040】また、図14のように縦nドット、横mドットのドット表示形態をとる表示部に対しても同様で、水平ドット走査端子H₁~H₄及び垂直ドット走査端子V₁~V₄に印加される駆動電圧波形を階段状矩形波又は略正弦波とすることで同様の効果が得られる。

【0041】さらに図15のように1桁35ドットで複数桁（例えば4桁）の文字又は数字等の表示を行なう表示部においても、同様で、各桁についてのドット選択パルスに基づいてドット端子D₁~D₃₅に印加される駆動電圧、及び、各桁、即ちグリッドスキャンパルスに基づいてグリッド端子G₁~G₄に印加される駆動電圧波形を階段状矩形波又は略正弦波とする。

【0042】なお、上記実施例において表示ドライバとして機能するFETQa~Qf、及びFETQ_{e1}~Q_{e4}は、実際にはマイクロコンピュータ（表示制御部2）に

内蔵することが考えられる。

【0043】なお、表示部としてはもちろん電子管を発光体とするものに限らず、LED素子やプラズマディスプレイ等のダイナミックドライブ方式のものであれば本発明を適用できる。

【0044】

【発明の効果】以上説明したように本発明は、ダイナミックドライブ方式で各表示最小単位部、例えばセグメント又はドットを駆動し表示動作をなす表示装置において、各表示最小単位部に印加される駆動電圧をその表示期間内で変化させる、即ち階段状波形、又は階段状平滑化波形、又は略正弦波形となるように構成したため、駆動電圧に含まれる高調波ノイズ成分を減少させることができ、このため、本発明の表示装置が搭載された或は近傍に配置されたチューナ等の電子機器において、高調波ノイズ成分の影響で受信感度劣化や音質劣化等が発生することは解消されるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成の説明図である。

【図2】第1の実施例の表示動作のフローチャートである。

【図3】第1の実施例の表示コントロールパルスの説明図である。

【図4】第1の実施例の表示駆動電圧の説明図である。

【図5】第1の実施例の表示駆動電圧波形の説明図である。

【図6】第1の実施例の表示駆動電圧波形における高調波成分の説明図である。

【図7】本発明の第2の実施例の構成の説明図である。

【図8】第2の実施例の表示駆動電圧波形の説明図である。

【図9】本発明の第3の実施例の構成の説明図である。

【図10】第3の実施例の表示コントロールパルスの説明図である。

【図11】第3の実施例の表示駆動電圧波形の説明図である。

【図12】本発明の第4の実施例の構成の説明図である。

【図13】本発明に適用できる他のセグメント表示部の説明図である。

【図14】本発明に適用できるドット表示部の説明図である。

【図15】本発明に適用できるドット表示部の説明図である。

【図16】従来の表示装置の構成の説明図である。

【図17】従来の表示装置の表示駆動電圧の説明図である。

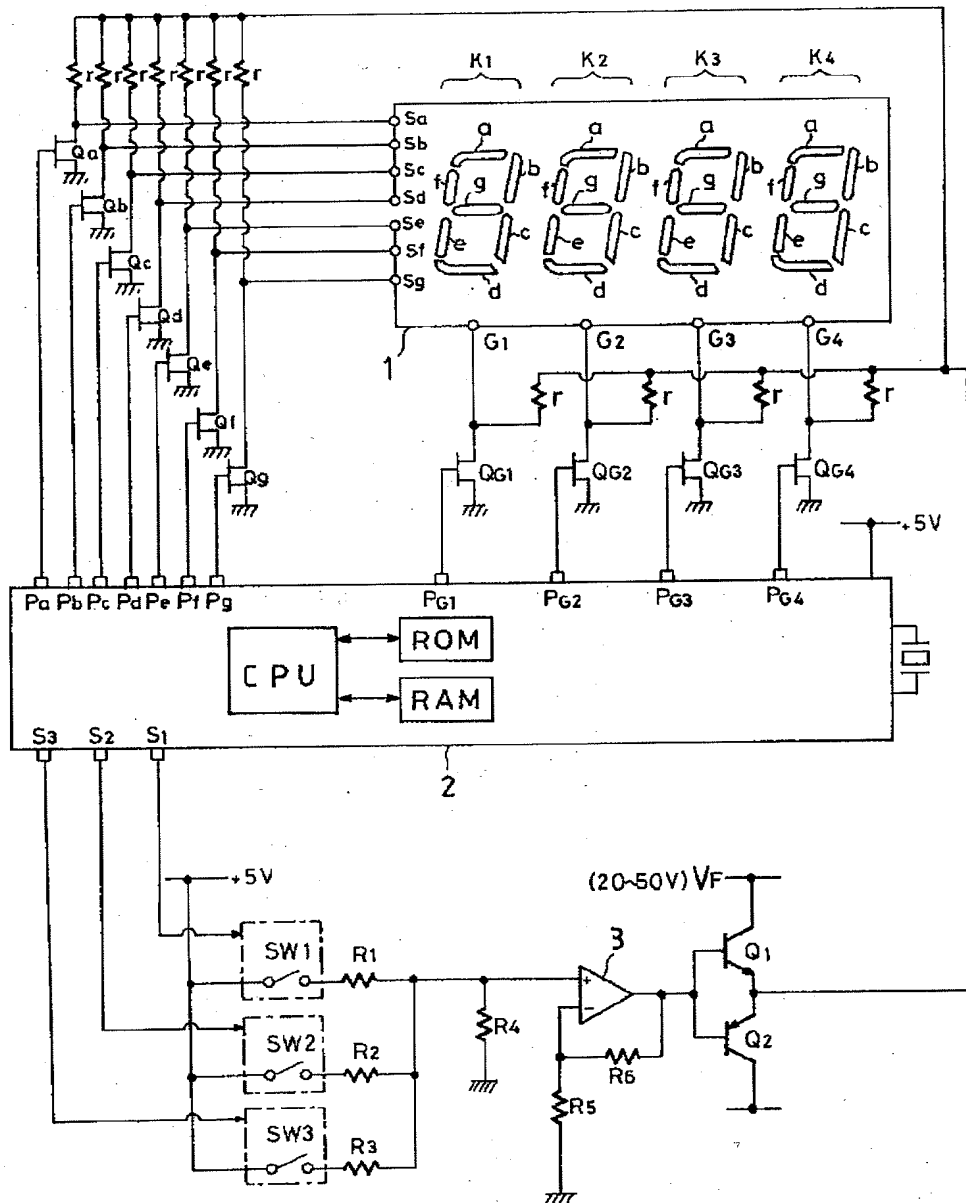
【図18】従来の表示装置の表示駆動電圧における高調波成分の説明図である。

【符号の説明】

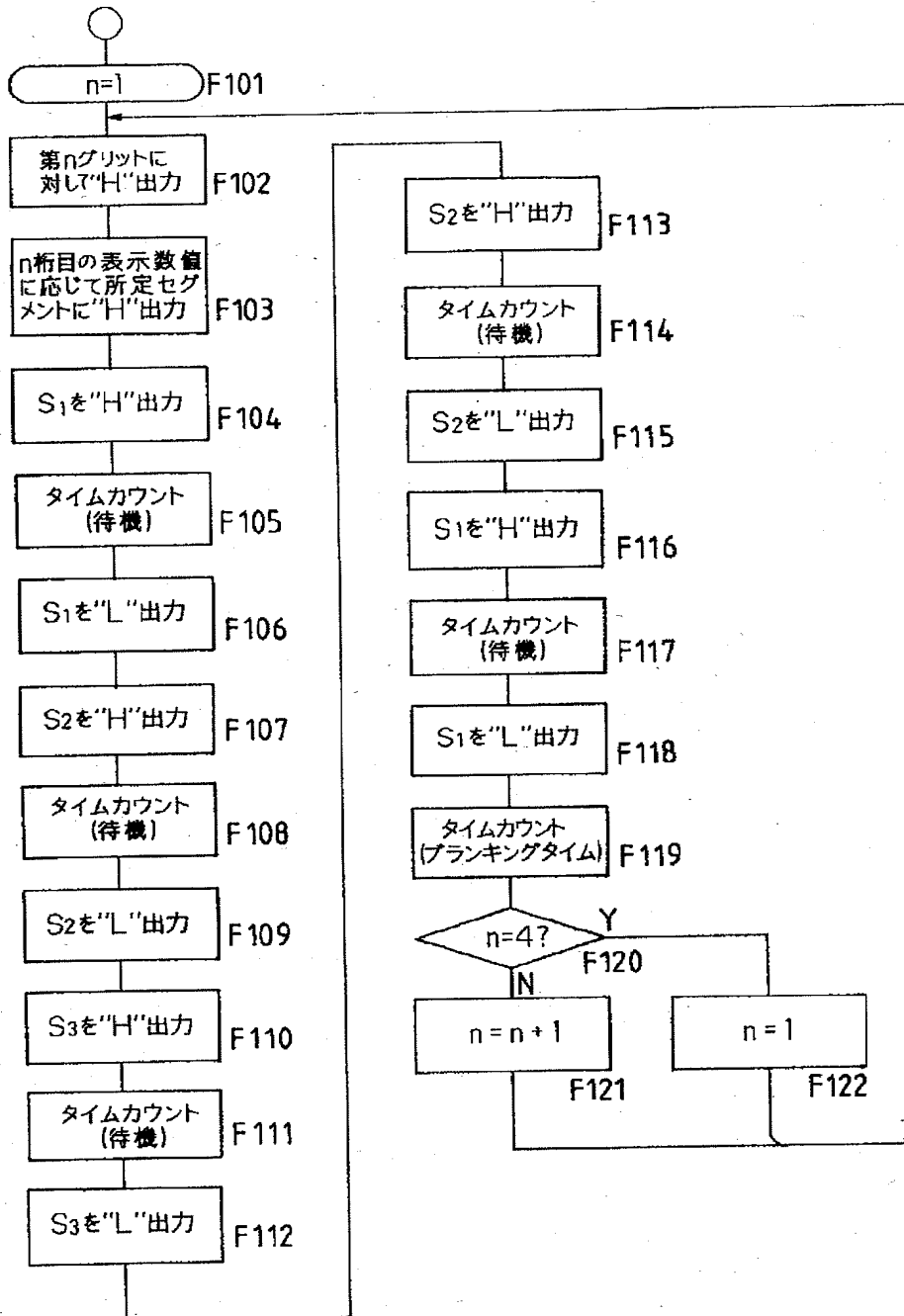
- 1 表示部
 2 表示制御部
 3 オペアンプ
 4 平滑化フィルタ
 5, 5a~5g, 5c1~5c4 正弦波状パルス発生器

Qa~Qg, Qc1~Qc4 FET
 SW1~SW3 スイッチ回路
 Sa~Sg セグメント端子
 G1~G4 グリッド端子

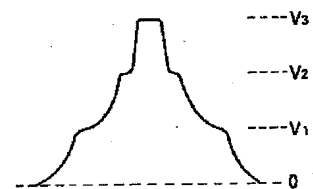
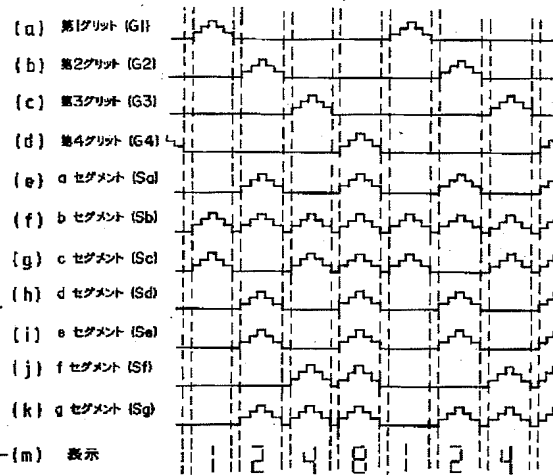
【図1】



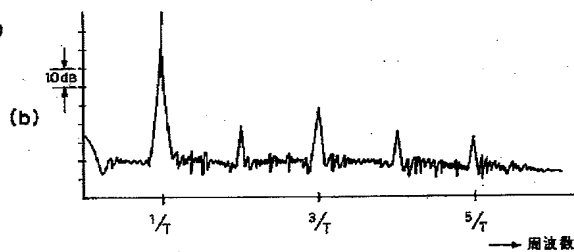
【図2】



【図 4】

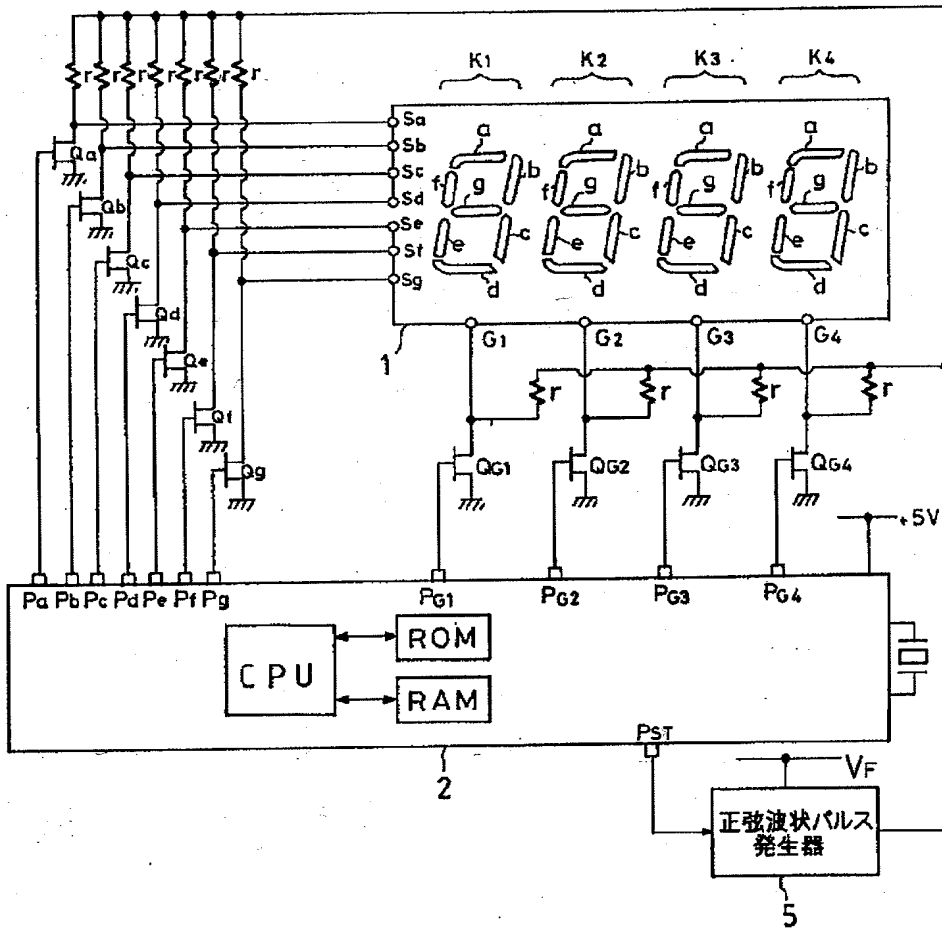


【図 6】

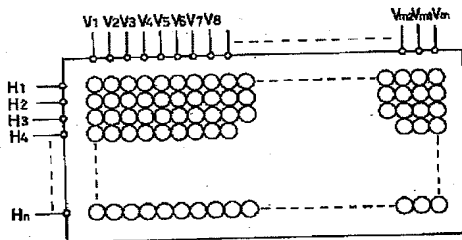


[illegible]

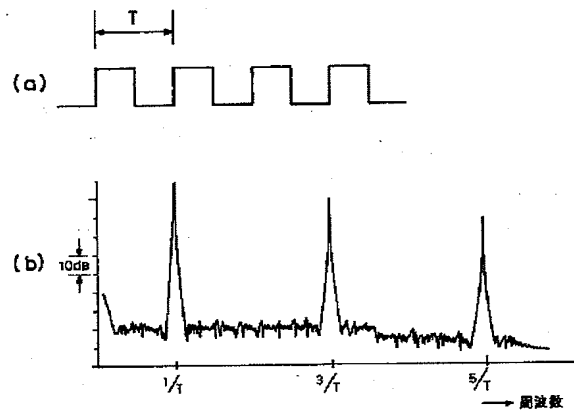
【図9】



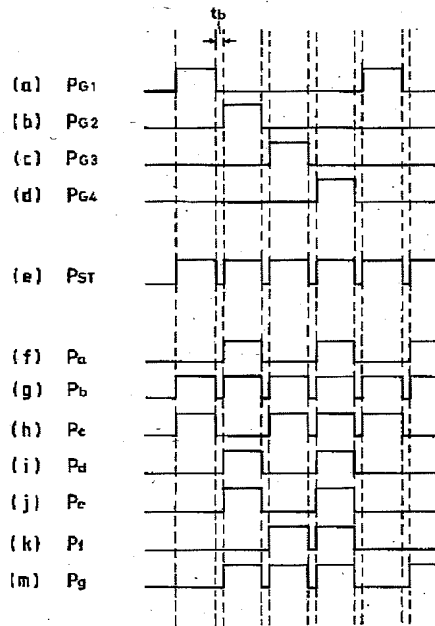
【図14】



【図18】

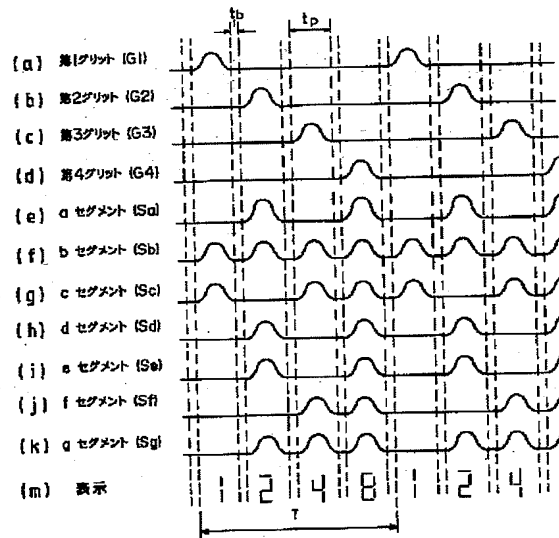


【図10】

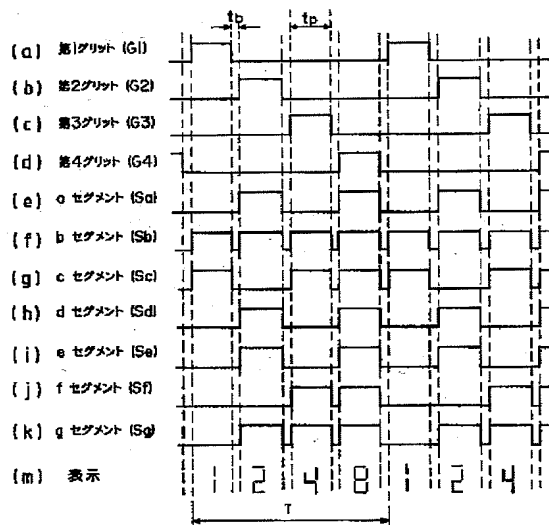


(n) 表示 1 2 4 8 1

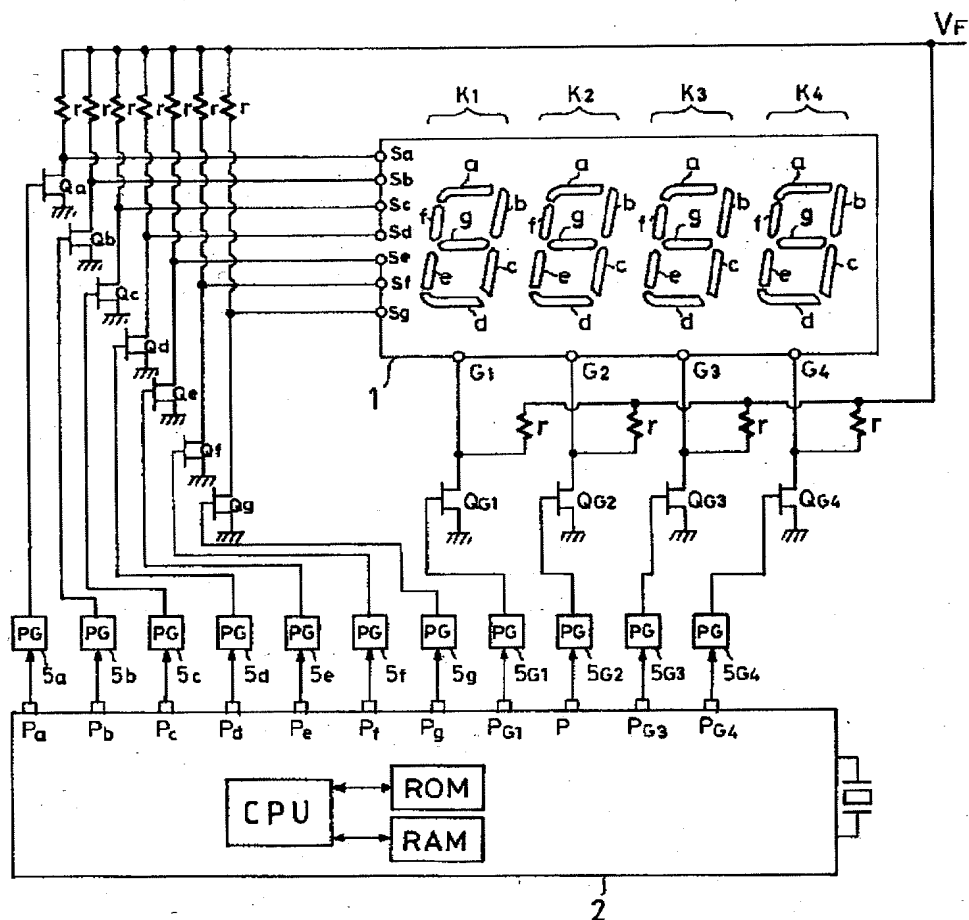
【図11】



【図17】



【図12】



【図16】

